



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10126380 A**(43) Date of publication of application: **15 . 05 . 98**

(51) Int. Cl.

H04J 13/00**H04B 7/26****H04L 7/00**(21) Application number: **08297859**(22) Date of filing: **23 . 10 . 96**(71) Applicant: **N T T IDO TSUSHINMO
KK YOZAN:KK**(72) Inventor: **KOTOBUKI KOKURYOU
SHU NAGAAKI
SHU TERUHEI
YAMAMOTO MAKOTO
TAKATORI SUNAO
SAWAHASHI MAMORU
ADACHI FUMIYUKI**(54) **INITIAL SYNCHRONIZATION METHOD IN
ASYNCHRONOUS CELLULAR SYSTEM
BETWEEN DS-CDMA BASE STATIONS AND
RECEIVER**

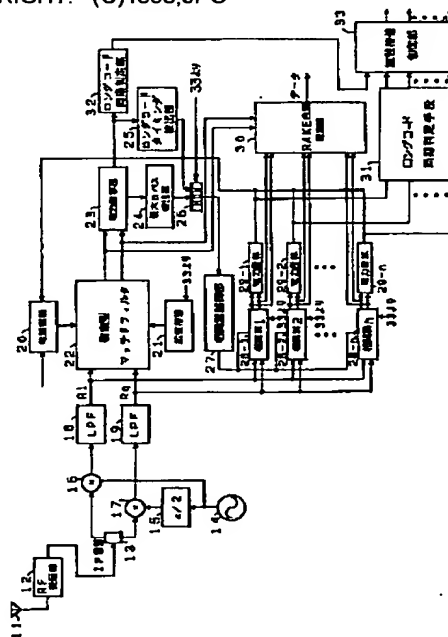
received and hand-over is safely realized.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To attain high-speed cell search, high efficiency and miniaturization in the asynchronous cellular system between DS-CDMA base stations.

SOLUTION: When making cell search, a matched filter 22 detects correlation between short codes of a control channel and detects a correlation peak position of maximum power as a long-code timing. A plurality of correlation devices 28-1 to 28-n, provided in parallel for RAKE synthesis specify scheduled long codes to the system in a detected long-code timing. After the synchronization of long code is established, the correlation devices 28-1 to 28-n are used to receive a multi-path signal and to discriminate data through the RAKE synthesis. When searching peripheral cells, the matched filter 22 is used to identify long codes of object peripheral cells. A signal from a base station correcting to the correlation devices 28-1 to 28-n is



【特許請求の範囲】

【請求項1】 各セルに固有のロングコードと各通信チャンネルに対応したショートコードとからなる拡散符号系列を用いるDS-CDMA基地局間非同期セルラ方式における初期同期方法であって、

前記通信チャンネルのうちの制御チャンネルには各セルに共通の特定のショートコードが割り当てられており、

(a) 初期セルサーチ時には、(a1) マッチドフィルタを用いて前記特定のショートコードと受信信号との相関を検出し、該相関出力の最大値に基づいて当該基地局からのロングコードのタイミングを検出し、(a2) 該検出されたロングコードタイミングに基づいて、並列に設けられた複数の相関器手段、または、該複数の相関器手段と前記マッチドフィルタの両者を用いて、当該システムにおいて使用されているロングコードの検出を並列に実行して、当該基地局のロングコードを特定し、

(b) 周辺セルサーチ時には、(b1) 前記マッチドフィルタを用いて前記特定のショートコードと受信信号との相関を検出し、該相関出力に基づいてハンドオーバー先の基地局のロングコードのタイミングを検出し、(b2) 該検出されたロングコードのタイミングに基づいて、前記並列に設けられた複数の相関器手段により現在のセルの基地局との通信を行ないながら前記マッチドフィルタを用いて周辺セルに対応するロングコードとの相関を順次検出させ、または、前記マッチドフィルタを用いて現在のセルの基地局との通信を行ないながら前記複数の相関器手段を用いて周辺セルに対応するロングコードとの相関を順次検出させることにより、当該ハンドオーバー先基地局のロングコードを特定することを特徴とするDS-CDMA基地局間非同期セルラ方式における初期同期方法。

【請求項2】 各セルに固有のロングコードと各通信チャンネルに対応したショートコードとからなる拡散符号系列を用いるDS-CDMA基地局間非同期セルラ方式であって、制御チャンネルには各セルに共通の特定のショートコードが割り当てられているセルラ方式に使用される受信機であって、

受信信号と拡散符号系列との相関を検出するマッチドフィルタと、

前記受信信号と拡散符号系列との相関を検出する並列に設けられた複数の相関器手段と、

前記マッチドフィルタからの相関出力の最大値を検出するロングコードタイミング検出部と、

前記マッチドフィルタからの相関出力が入力されるロングコード同期判定部と、

前記複数の相関器手段からの相関出力が入力されるロングコード同期判定手段と、

前記ロングコードタイミング検出部の出力が入力され、前記複数の相関器手段の動作を制御する相関器制御部と、

前記ロングコード同期判定部および前記ロングコード同期判定手段からの出力が入力され、前記マッチドフィルタおよび前記複数の相関器手段における相関動作に用いられる拡散符号系列を選択するための制御信号を出力する拡散符号制御部とを有することを特徴とするDS-CDMA基地局間非同期セルラ方式用受信機。

【請求項3】 前記複数の相関器手段はさらに受信スペクトラム拡散信号の同期追跡を行なう遅延ロックループを有しており、

前記相関器制御部は前記マッチドフィルタからの相関出力のピーク位置に応じて前記複数の相関器手段の動作を制御するように構成されており、

前記複数の相関器手段の出力および前記マッチドフィルタの出力をRAKE合成してデータを判定するように構成されていることを特徴とする前記請求項2に記載のDS-CDMA基地局間非同期セルラ方式用受信機。

【請求項4】 ロングコード同期確立後、前記マッチドフィルタおよび前記複数の相関器手段を用いてトラフィックチャンネルの信号を受信し、マルチパスの信号をRAKE合成してデータを判定するように構成されていることを特徴とする前記請求項3に記載のDS-CDMA基地局間非同期セルラ方式用受信機。

【請求項5】 ロングコード同期確立後、前記マッチドフィルタと前記複数の相関器のうちの一部の相関器を用いて、現在のセルの基地局からのトラフィックチャンネルの信号を受信し、それをRAKE合成し、残りの一部の相関器を用いて、周辺セルの基地局からの制御チャンネルの信号を受信し、そのセルのロングコードを識別同期し、その基地局からのトラフィックチャンネルで送られてきた現在のセルの基地局から受信しているデータと同じデータの信号を受信して、両基地局あるいは複数の基地局からの信号をレイク合成して判定するように構成されているものであることを特徴とする前記請求項3あるいは4に記載のDS-CDMA基地局間非同期セルラ方式用受信機。

【請求項6】 前記マッチドフィルタを用いて現在のセルの基地局との通信を行なう場合、前記マッチドフィルタの出力に含まれているマルチパスの信号をRAKE合成されるようになされ、また、前記マッチドフィルタにより現在のセルあるいは周辺セルに対応するロングコードの検出を実行する場合、ロングコードをショートコードの長さで分割し、シンボル毎に順次相関検出を行なうように構成されていることを特徴とする前記請求項3～5のいずれか1項に記載のDS-CDMA基地局間非同期セルラ方式用受信機。

【請求項7】 前記マッチドフィルタは、複数のサンプルホールド回路と、前記各サンプルホールド回路の出力を拡散符号系列の対応するビットの値に応じて第1あるいは第2の出力端子に出力する複数の乗算部と、前記各乗算部の第1の出力端子の出力を加算する第1のアナ

ログ加算回路と、前記各乗算部の第2の出力端子の出力を加算する第2のアナログ加算回路と、前記第1のアナログ加算回路の出力と前記第2のアナログ加算回路の出力との減算を行う第3のアナログ加算回路とを有するものであることを特徴とする前記請求項2～6のいずれか1項に記載のDS-CDMA基地局間非同期セルラ方式用受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DS-CDMA (Direct Sequence - Code Devision Mupltiple Access) 基地局間非同期セルラ方式における初期同期方法およびそのための受信機に関する。

【0002】

【従来の技術】近年の陸上移動通信の発展に伴い、チャネル容量を大幅に増加することが可能な直接拡散(DS)型のスペクトラム拡散(SS)を用いた符号分割多元接続(CDMA)方式を用いたCDMAセルラ方式が注目されている。一般に、CDMA方式においては他局との相互干渉があるため、他の多元接続方式(FDMA、TDMA)に比べて周波数利用効率が劣化する。しかし、セルラ方式においては、空間的な周波数再利用効率(同一周波数のセル繰り返し率)が総合的な周波数利用効率に寄与するため、干渉に強くセル繰り返し率の高いCDMA方式も有力な方式となる。

【0003】一般にセルラシステムにおいては、移動機が接続するセルを最初に捕捉する初期セルサーチと、ハンドオーバー時に周辺のセルをサーチする周辺セルサーチの2種類のセルサーチが必要となる。特にDS-CDMAセルラシステムにおいては、各セルが同一の周波数を用いているため、セルサーチと同時に受信信号の拡散符号と受信機において生成する拡散符号レプリカとのタイミング誤差を1/2チップ周期以内に捕捉する初期同期を行なうことが必要である。

【0004】このようなDS-CDMAセルラシステムは、全基地局間の時間同期を厳密に行なう基地局間同期システムと、これを行なわない基地局間非同期システムとの2つの方式に分類される。基地局間同期システムは、GPSなどの他のシステムを利用して基地局間同期を実現するもので、各基地局では同一のロングコードを各基地局毎に異なる遅延を与えて使用するため、初期セルサーチはロングコードのタイミング同期を行なうのみでよい。また、ハンドオーバー時の周辺セルサーチは、移動機にはそれが属する基地局から周辺基地局のコード遅延情報を通知されるため、より高速に行なうことができる。

【0005】これに対し、基地局間非同期システムでは、基地局を識別するために各基地局で用いる拡散符号を変えているため、移動機は、初期セルサーチにおいて拡散符号を同定することが必要となる。また、ハンドオ

ーバ時の周辺セルサーチでは、それが属する基地局から周辺基地局で使用している拡散符号の情報を得ることにより、同定する拡散符号の数を限定することが可能となる。しかし、いずれの場合でも、前記基地局間同期システムの場合と比較するとサーチ時間が大きくなり、拡散符号にロングコードを使用する場合にはセルサーチに要する時間は膨大なものとなる。しかしながら、この基地局間非同期システムは、GPS等の他のシステムを必要としないというメリットがある。

【0006】このような基地局間非同期システムの問題を解決し、初期同期を高速に行なうことができるセルサーチ方式が提案されている(樋口健一、佐和橋衛、安達文幸、「DS-CDMA基地局間非同期セルラ方式におけるロングコードの2段階高速初期同期法」信学技報、CS-96, RCS96-12(1996-05))。この提案されている初期同期法は、最初に各セル共通のショートコードをマッチドフィルタを用いて逆拡散してロングコードのタイミングを検出し、次に、マッチドフィルタあるいはスライディング相関器を用いて各セル特有のロングコード特定を行なうものである。

【0007】以下、この提案されている初期同期法について説明する。図8にセル構成を示す。この図に示すように、各セル内にはそれぞれ基地局BS1、BS2、・・・BSNが設けられており、各基地局はそれぞれ異なるロングコードlong code #1、long code #2、・・・、long code #Nと各チャネルを識別するためのショートコードshort code #0～short code #Mとを用いて2重に拡散したシンボルを用いて移動機100と伝送を行なう。ここで、前記ショートコードshort code #0short code #Mは各セルにおいて共通であり、また、各セルとも制御チャネルにはショートコードshort code #0が割り当てられている。

【0008】図9を用いて、上記提案されている2段階高速初期同期法について詳細に説明する。この図において(1)は移動機における受信信号の例を示しており、この図には基地局BS_i、BS_{i+1}、BS_{i+2}からそれぞれ送信された制御チャネルの受信信号が示されている。図示するように、各制御チャネルは、1ロングコード周期で、各基地局共通に制御チャネルに割り当てられているショートコードshort code #0のみで拡散されたシンボル(図中斜線部分)を有している。これは、一定周期でロングコード拡散を行なわないようにすることにより実現されている。また、その他のシンボル位置は各基地局毎に異なるロングコードlong code #iと前記ショートコードshort code #0により2重に拡散されている。これにより、万が一、セル間のロングコードのタイミングが同期して移動機で受信された場合でも、当該制御コードの復調が可能となる。このように、BS_i～BS_{i+2}などの各基地局から送信された制御チャネルは非同期に多重化されて移動機に受信される。

【0009】移動機においては次に示す2段階の構成でセルサーチを行なう。図9の(2)はその第1段階における動作を説明するもので、移動機では、マッチドフィルタを用いて、受信信号と制御チャネルのショートコードレプリカshort code #0との相関を検出する。前述したように、受信信号中の各制御チャネルはロングコードの周期で各基地局共通のショートコードshort code #0で拡散されたシンボル(図中の斜線の部分)を有している。このため、1ロングコード周期の期間前記ショートコードシンボルレプリカを用いて相関の検出を行なうと、図9の(2)に示すように、各制御チャネルにおけるショートコード#0拡散シンボルの受信タイミングに対応する位置にそれぞれ相関のピークが検出される。移動機では、そのうちの最大の相関ピークを検出したタイミングを接続希望基地局の制御チャネルのロングコード同期タイミングであると決定する。

【0010】次に、移動機では、前記基地局を識別するために、前記ロングコード同期タイミングを検出した制御チャネルを拡散しているロングコードの同定を、1個のスライディング相関器を用いて行なう。このために、初期セルサーチにおいては、システムで定められているロングコード群long code #1~long code #Nのなかから順次ロングコードlong code #iを選択し、該選択したロングコードlong code #i+ショートコードshort code #0のレプリカ符号を生成して、前記第1段階で得られた同期タイミングに対して相関検出を行なう。また、ハンドオーバー時の周辺セルサーチにおいては、現在接続している基地局から通知された周辺セルのロングコード群から、同様に順次ロングコードlong code #i+ショートコードshort code #0のレプリカ符号を生成し、前記同期タイミングに対して相関検出を行なう。このようにして、相関検出値が閾値を超えるまでロングコードlong code #iを変えて相関検出を行ない、閾値を超えたロングコードlong code #kを受信制御チャネルのロングコードであると判定してセルサーチを終了する。これにより、当該基地局を識別することができる。

【0011】以上のように、ロングコードのタイミング同期とロングコードの同定とを分離することによりセルサーチを高速に行なうことができる。通常の基地局間非同期セルラシステムにおいてはセルサーチを行なうのに(拡散符号の数×拡散符号の位相数)回程度の相関検出を行なうことが必要であるのに対し、この提案されている方法によれば、(拡散符号の数+拡散符号の位相数)回程度の相関検出で済むこととなる。

【0012】

【発明が解決しようとする課題】以上説明したように、この提案されている2段階高速初期同期法によれば、セルサーチを高速に実行することができるが、より高速に初期同期をとることが望まれている。

【0013】

A通信システムにおいて、より高速にセルサーチを行うことのできるDS-CDMA基地局間非同期セルラ方式における初期同期方法および受信機を提供することを目的としている。また、マルチバースフェージングが発生する環境においても、良好な受信品質で信号を受信することができるDS-CDMA基地局間非同期セルラ方式用受信機を提供することを目的としている。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明の、各セルに固有のロングコードと各通信チャネルに対応したショートコードとからなる拡散符号系列を用いるDS-CDMA基地局間非同期セルラ方式における初期同期方法は、前記通信チャネルのうちの制御チャネルには各セルに共通の特定のショートコードが割り当てられており、初期セルサーチ時には、マッチドフィルタを用いて前記特定のショートコードと受信信号との相関を検出し、該相関出力の最大値に基づいて当該基地局からのロングコードのタイミングを検出し、該検出されたロングコードタイミングに基づいて、並列に設けられた複数の相関器手段、または、該複数の相関器手段と前記マッチドフィルタの両者を用いて、当該システムにおいて使用されているロングコードの検出を並列に実行して、当該基地局のロングコードを特定し、周辺セルサーチ時には、前記マッチドフィルタを用いて前記特定のショートコードと受信信号との相関を検出し、該相関出力に基づいてハンドオーバー先の基地局のロングコードのタイミングを検出し、該検出されたロングコードのタイミングに基づいて、前記並列に設けられた複数の相関器手段により現在のセルの基地局との通信を行ないながら前記マッチドフィルタを用いて周辺セルに対応するロングコードとの相関を順次検出させ、または、前記マッチドフィルタを用いて現在のセルの基地局との通信を行ないながら前記複数の相関器手段を用いて周辺セルに対応するロングコードとの相関を順次検出させることにより、当該ハンドオーバー先基地局のロングコードを特定するようにしたものである。

【0015】また、本発明のDS-CDMA基地局間非同期セルラ方式用受信機は、各セルに固有のロングコードと各通信チャネルに対応したショートコードとからなる拡散符号系列を用いるDS-CDMA基地局間非同期セルラ方式であって、制御チャネルには各セルに共通の特定のショートコードが割り当てられているセルラ方式に使用される受信機であって、受信信号と拡散符号系列との相関を検出するマッチドフィルタと、前記受信信号と拡散符号系列との相関を検出する並列に設けられた複数の相関器手段と、前記マッチドフィルタからの相関出力の最大値を検出するロングコードタイミング検出部と、前記マッチドフィルタからの相関出力が入力されるロングコード同期判定部と、前記複数の相関器手段からの相関出力が入力されるロングコード同期判定手段と、

前記ロングコードタイミング検出部の出力が入力され、前記複数の相関器手段の動作を制御する相関器制御部と、前記ロングコード同期判定部および前記ロングコード同期判定手段からの出力が入力され、前記マッチドフィルタおよび前記複数の相関器手段における相関動作に用いられる拡散符号系列を選択するための制御信号を出力する拡散符号制御部とを有するものである。

【0016】また、前記複数の相関器手段はさらに受信スペクトラム拡散信号の同期追跡を行なう遅延ロックループを有しており、前記相関器制御部は前記マッチドフィルタからの相関出力のピーク位置に応じて前記複数の相関器手段の動作を制御するように構成されており、前記複数の相関器手段の出力はRAKE合成されるように構成されているものである。さらにまた、ロングコード同期確立後、前記マッチドフィルタおよび前記複数の相関器手段を用いてトラフィックチャネルの信号を受信し、マルチパスの信号をRAKE合成してデータを判定するように構成されているものである。

【0017】さらにまた、ロングコード同期確立後、前記マッチドフィルタと前記複数の相関器のうちの一部の相関器を用いて、現在のセルの基地局からのトラフィックチャネルの信号を受信し、それをRAKE合成し、残りの一部の相関器を用いて、周辺セルの基地局からの制御チャネルの信号を受信し、そのセルのロングコードを識別同期し、その基地局からのトラフィックチャネルで送られてきた現在のセルの基地局から受信しているデータと同じデータの信号を受信して、両基地局あるいは複数の基地局からの信号をレイク合成して判定するように構成されているものである。さらにまた、前記マッチドフィルタを用いて現在のセルの基地局との通信を行なう場合、前記マッチドフィルタの出力に含まれているマルチパスの信号をRAKE合成されるようになされ、前記マッチドフィルタにより現在のセルあるいは周辺セルに対応するロングコードの検出を実行する場合、ロングコードをショートコードの長さで分割し、シンボル毎に順次相関検出を行なうように構成されているものである。

【0018】さらにまた、前記マッチドフィルタは、複数のサンプルホールド回路と、前記各サンプルホールド回路の出力を拡散符号系列の対応するビットの値に応じて第1あるいは第2の出力端子に出力する複数の乗算部と、前記各乗算部の第1の出力端子の出力を加算する第1のアナログ加算回路と、前記各乗算部の第2の出力端子の出力を加算する第2のアナログ加算回路と、前記第1のアナログ加算回路の出力と前記第2のアナログ加算回路の出力との減算を行う第3のアナログ加算回路とを有するものである。

【0019】ロングコードのタイミング検出をマッチドフィルタを用いて実行し、ロングコードの特定を複数の相関器手段を用いて並列に実行するために初期セルサ

ーチを非常に高速に行うことができる。また、周辺セルサーチ時には、マッチドフィルタを用いて周辺セルサーチを実行させ、前記複数の相関器手段では当該基地局との通信を行っているために、ハンドオーバを実現することができる。そして、通信時に前記複数の相関器手段はマルチパスの受信に使用されており、初期セルサーチ時、ハンドオーバ時および通話時に共通なデバイスが使用されるため、高効率化および小型化を実現することができる。さらに、相関器手段を複数個設けてRAKE受信方式で受信することにより、マルチパスフェージングのある環境においても良好な受信を行なうことができる。さらにまた、サンプルホールド回路、乗算器およびアナログ加算器により構成されたマッチドフィルタを使用する場合には、消費電力を低減することができる。

【0020】

【発明の実施の形態】図1は、本発明のDS-SS-CDMA基地局間非同期セルラ方式用受信機の一実施の形態の構成を示すブロック図である。この実施の形態においては、図示しない基地局送信機から拡散変調された送信信号がPSK変調され、拡散符号系列によって、I、QチャネルそれぞれBPSK (Binary PSK) 変調されているものとして説明する。なお、データ変調と拡散符号系列がともにQPSK (Quadrature PSK) 変調あるいはBPSK変調の場合でも、基本的に似たような構成で実現することができる。

【0021】図1において、11は図示しない基地局からのスペクトラム拡散された送信信号を受信する受信アンテナ、12は該受信アンテナ11から入力されるスペクトラム拡散信号を中間周波信号に変換する高周波受信部、13は該高周波受信部12からの中間周波出力を2つに分割する分配器である。14は中間周波数の信号、

$(\cos \omega_c t)$ を発生する発振器、15は該発振器14からの発振信号の位相を $\pi/2$ だけ移相する位相シフト回路、16は前記分配器13の出力と前記発振器14の出力とを乗算する乗算器、17は前記分配器13の出力と前記位相シフト回路15の出力 $(\sin \omega_c t)$ とを乗算する乗算器である。18は前記乗算器16からの乗算結果が入力されるローパスフィルタ(LPF)であり、該LPF18から同相成分のベースバンド信号 R_i が出力される。また、19は前記乗算器17からの乗算結果信号が入力されるローパスフィルタ(LPF)であり、該LPF19より直交成分のベースバンド信号 R_q が出力される。

【0022】22は同相成分用のマッチドフィルタと直交成分用のマッチドフィルタの2つのマッチドフィルタが設けられている複素型マッチドフィルタであり、前記LPF18および19の出力が入力されている。21は拡散符号生成器であり、この拡散符号生成器21において発生された拡散符号は前記複素型マッチドフィルタ22に入力され、前記同相成分のベースバンド信号 R_i お

および直交成分のベースバンド信号 R_q との相関がとられる。なお、前記複素型マッチドフィルタ22に用いられている各マッチドフィルタとしては、CCD (Charge Coupled Device) やSAW (Surface Acoustic Wave) フィルタを用いたもの、あるいは、デジタルIC回路によるものなどを使用することができる。また、後述するようなアナログ演算回路により構成された低消費電力のマッチドフィルタを使用することができる。

【0023】また、20は前記複素型マッチドフィルタ22に対する電源電圧の供給を制御する電源制御回路である。この電源制御回路20により、前記複素型マッチドフィルタ22は、待ち受け時に所定の時間間隔をもって相関値のピークを検出することが可能な時間だけ駆動されるようになされている。これにより、本発明の受信機においては、同期捕捉のために消費電力の大きいマッチドフィルタを使用しているが、その動作は間欠的に行なわれているために全体としての消費電力を少なく抑えることが可能となる。

【0024】23は前記複素型マッチドフィルタ22から出力される相関出力の大きさを検出する電力計算部、24は該電力計算部23の出力から受信波の各バスの伝搬遅延時間を検出するバス検出部であり、この実施の形態においては、最大 n 個までのバスを検出することができるようになされている。また、25は前記電力計算部23の出力が入力され、最大の相関ピークの位置を検出するロングコードタイミング検出部、32は前記電力計算部23から出力される相関ピークが所定の閾値を超えたか否かを判定するロングコード同期判定部である。さらに、26は前記バス検出部24および前記ロングコードタイミング検出部25の出力のうちのいずれか一方を選択して相関器制御部27に出力する選択回路である。

【0025】27は相関器制御部であり、前記選択回路26から入力される前記バス検出部24あるいは前記ロングコードタイミング検出部25からの出力に基づいて、相関器28-1~28- n のうちの所定の数の相関器に対してベースバンド信号 R_i および R_q と電源電圧を供給してその動作を開始させるとともに、各相関器内にそれぞれ設けられている拡散符号生成器により生成される拡散符号系列の種類およびその位相を制御するように動作する。

【0026】ロングコード同期捕捉時、前記選択回路26において前記ロングコードタイミング検出部25からの出力が選択され、該ロングコードタイミングに応じて、相関器28-1~28- n において各セルのロングコードに対応する拡散符号系列がセットされる。これにより、前記相関器28-1~28- n は前記ロングコードタイミングに対応して入力信号を逆拡散することとなる。

【0027】並列に設けられた n 個の相関器28-1~28- n には、それぞれ前記LPF18および19から

の出力信号 R_i および R_q が入力されており、これら相関器28-1~28- n においてそれぞれ逆拡散が行なわれる。なお、各相関器28-1~28- n の詳細な構成については後述することとする。各相関器28-1~28- n からそれぞれ出力されるI成分およびQ成分の復調データはRAKE合成および復調部30に入力されるとともに、電力計算部29-1~29- n に印加される。各電力計算部29-1~29- n において各バスに対応する受信電力がそれぞれ計算され、該計算結果はロングコード同期判定手段31にそれぞれ入力されるとともに、前記電源制御部20に入力される。

【0028】また、ロングコード同期が確定しトラフィックデータ信号を受信する時には、前記選択回路26において前記バス検出部24の出力が選択され、前記バス検出部24において最大 n 個まで検出された各バスの遅延情報に応じて相関器28-1~28- n における逆拡散に用いられる拡散符号系列の位相が制御されて、各相関器28-1~28- n はそれぞれ対応するバスの受信信号を並列に逆拡散することとなる。

【0029】前記各相関器28-1~28- n からの各バスに対応する逆拡散後のデータはRAKE合成および復調部30において複素型マッチドフィルタ22からの出力に基づいて決定された重み係数を用いて合成され、シリアルデータに復調されて出力される。

【0030】また、前記ロングコード同期判定手段31においては、前記電力計算部29-1~29- n からの相関出力が所定の閾値を超えているか否かが判定され、該判定結果は拡散符号制御部33に入力される。この拡散符号制御部33には前記ロングコード同期判定部32からの出力も入力されており、これら各ロングコード同期判定手段(部)からの出力に基づいてロングコードを特定し、それに応じて前記拡散符号生成器21および各相関器28-1~28- n 内の拡散符号生成器で生成する拡散符号系列を指定するための制御信号を各拡散符号生成器に出力する。

【0031】図2は、前記相関器28-1~28- n の構成の一例を示すブロック図である。前記各相関器28-1~28- n はいずれもこの図2に示す構成を有している。この図に示すように、各相関器は、入力信号 R_i および R_q の供給を制御するためのスイッチ34*i*および34*q*、逆拡散部40およびDLL (Delay Locked Loop) 部50を有している。ここで、前記スイッチ34*i*および34*q*は前記相関器制御部27の出力により導通制御される。

【0032】DLL部50において、61は拡散符号生成器であり、前記相関器制御部27により指定される位相を有し、前記拡散符号制御部33から印加される制御信号に対応した拡散符号系列を生成する。この拡散符号生成器61から出力される拡散符号系列はE-Codeとして、後述する乗算器51*i*および51*q*に印加される。

62は前記拡散符号生成器61により生成された拡散符号系列E-Codeを $1/2$ チップ周期($T_c/2$)だけ遅延する遅延回路であり、この遅延回路62から出力される拡散符号系列はP-Codeとして後述する乗算器41iおよび41qに逆拡散のために印加される。63は前記遅延回路62と同様に拡散符号系列を $1/2$ チップ周期($T_c/2$)だけ遅延させる遅延回路であり、この遅延回路63から出力される拡散符号系列はL-Codeとして後述する乗算器55iおよび55qに印加される。

【0033】このようにして、前記拡散符号生成器61、遅延回路62および63から、それぞれ、P-Codeに対して $T_c/2$ だけ位相の進んだE-Code (Early Code)、正しい位相のP-Code (Punctual Code) および $T_c/2$ だけ位相の遅れたL-Code (Late Code) の3通りの拡散符号系列が出力される。

【0034】逆拡散部40において、41iおよび41qは前記正しい位相の拡散符号系列P-Codeと前記スイッチ34iおよび34qを介して入力される受信信号RiおよびRqとの乗算を行なう乗算器、42iおよび42qは該乗算器41iおよび41qからそれぞれ出力される乗算結果信号をショートコードの1周期分加算する累算器である。これら乗算器41iおよび41q、累算器42iおよび42qにより、受信信号の逆拡散が行なわれ、送信されたデータが復調される。

【0035】また、51iおよび51qは前記 $T_c/2$ だけ位相の進んだ拡散符号系列E-Codeと前記受信信号RiおよびRqを乗算する乗算器、52iおよび52qは前記各乗算器51iおよび51qからの出力をショートコードの1周期分だけ累算する累算器であり、これら乗算器51i、51q、累算器52iおよび52qにより受信信号RiおよびRqと前記拡散符号系列E-Codeとの相関値が算出される。前記各累算器52i、52qからの相関出力は、それぞれ、包絡線検波回路53i、53qに入力され、前記各相関出力における変調の影響が取り除かれて、加算器54において加算される。

【0036】さらにまた、前記 $T_c/2$ だけ位相の遅れた拡散符号系列L-Codeと前記受信信号RiおよびRqは乗算器55iおよび55qにおいてそれぞれ乗算され、各乗算結果はそれぞれ累算器56i、56qにおいてショートコードの1周期分だけ累算される。これにより、前記受信信号RiおよびRqと前記拡散符号系列L-Codeとの相関が算出される。前記累算器56iおよび56qの出力は包絡線検波回路57iおよび57qを介して変調の影響が取り除かれて、加算回路58において加算される。

【0037】そして、加算回路59において、前記加算回路54の出力から前記加算回路58の出力が減算され、その出力はローパスフィルタ60を介して前記拡散符号生成器61に入力され、拡散符号生成器61により発生される拡散符号の位相が制御されるようになされて

いる。

【0038】これにより、実際の信号がP-Codeより位相が進んだ時には減算器59の出力はプラスの信号になり、位相が遅れた時には減算器59の出力はマイナスの信号になる。位相が完全に同期したときには、減算器59の出力はゼロである。したがって、この減算器59の出力を拡散符号生成器61にフィードバックして、この減算器59の出力が正のときには拡散符号生成器61で発生される拡散符号系列の位相を遅らせる方向に制御し、出力が負のときには拡散符号系列の位相を進ませる方向に制御することにより、出力が0となるように系を安定に制御することができ、実際の逆拡散に使用されるP-codeを受信信号に対して同期した状態にトラッキングすることができる。なお、このトラッキングループの制御部(図2中に一点鎖線で示したDLL制御部50-S)は、後述するロングコード同期の場合には動作しないようになされている。

【0039】このように図2の回路により同期追跡を行なうためには、この回路によるトラッキングが開始されるまでに受信信号の拡散系列と受信機内の拡散系列との間の位相差が $\pm T_c/2$ 以内に収まっていることが必要である。本発明においては、前述した複素型マッチドフィルタ22によりこの精度で同期捕捉を行なっている。なお、この実施の形態においては、E-CodeとL-Codeとの位相差を T_c としたが、これに限られることはなく、例えば位相差を $2T_c$ とすることもできる。この場合には、前記複素型マッチドフィルタ22による同期捕捉回路の精度をこれに対応した精度、すなわち $\pm T_c$ とすることができる。

【0040】このように構成されたCDMA受信機において実行される本発明の初期同期方法について、図3のフローチャートおよび図4のタイミングチャートを参照して説明する。図3の(a)は初期セルサーチを行うときの動作を示すフローチャート、同図(b)は周辺セルサーチ時の動作フローチャートである。また、図4の(1)は受信アンテナ11に受信されるスペクトラム拡散信号の一例を示しており、この図には制御チャネルの受信信号のみが示されている。さらに、同図(2)はロングコードのタイミングを検出する動作を説明するための図であり、同図(3)はロングコードを特定する動作を説明するための図である。

【0041】(初期セルサーチ) 初期セルサーチが開始されると、図3(a)におけるステップS11に示すように、拡散符号制御部33は拡散符号生成器21に対し制御チャネルのショートコードshort code #0を発生させ、複素型マッチドフィルタ22において受信スペクトラム拡散信号との相関をとり、その出力に基づいてロングコードタイミング検出部25においてロングコードのタイミングが検出される。

【0042】すなわち、図4の(1)に示すように、各

基地局 $BS_1 \sim BS_{i+1}$ からはそれぞれ、前記図9に関して説明した場合と同様に、ロングコード周期で所定期間（例えば1シンボル期間）だけ制御チャネルに予め割り当てられたショートコードshort code #0で拡散され、その他の期間はそれぞれの基地局に固有のロングコードlong code # i +ショートコードshort code #0で拡散された信号が制御チャネルとして送信されており、前記受信アンテナ11にはこれらの信号の合成された信号が受信されている。

【0043】前記拡散符号生成器21からは、前記拡散符号制御部33からの指示によりショートコードshort code #0が生成され、前記複素型マッチドフィルタ22において、1ロングコード周期の期間、前記ショートコードshort code #0と前記受信信号との相関がとられる。この相関出力は前記電力計算部23を介して前記ロングコードタイミング検出部25に入力される。この電力計算部23の出力は、例えば図4の(2)に示すように、各基地局からの制御チャネル信号のショートコードshort code #0のみで拡散されている期間にピークを有する波形となり、このうちの最大の電力を有するピーク的位置がこの移動機が属しているセルの基地局のロングコードタイミングであると判定される。この例においては、図示するように、基地局 BS_{i+2} からの受信信号のレベルが最も高く、その受信信号の相関ピークが最大となっている。したがって、前記ロングコードタイミング検出部25は、このタイミングをロングコードタイミング T として検出する。

【0044】次にステップS12に進み、 n 個の相関器28-1~28- n に電源電圧とベースバンド信号 R_i および R_q を供給し、それらを並列に用いて受信信号とlong code #1~long code # N それぞれとの相関をとり、ロングコード検出手段31の出力が最大となるロングコードlong code # k が特定される。これにより、この移動機が属しているセルの基地局のロングコードがlong code # k であると特定することができる。

【0045】すなわち、図4の(3)に示すように、拡散符号制御部33は n 個の相関器28-1~28- n にそれぞれ設けられている拡散符号生成器61に対し、このシステムにおいて使用されているロングコード(long code #1~long code # N)+short code #0をそれぞれ割り当てて生成させる。また、前記ロングコードタイミング検出部25の出力は選択回路26を介して相関器制御部27に印加され、該相関器制御部27は各相関器28-1~28- n 内に各々設けられている前記拡散符号生成器61に対し、該検出されたロングコードタイミング T に同期して拡散符号を生成するように制御する。このようにして、相関器28-1~28- n を用いて受信スペクトラム拡散信号とシステムにおいて予定されているロングコードとの相関処理が並行して行われる。なお、このロングコードを特定する処理を実行するときに

は、前記DLL制御部50-Sは非動作状態とされている。

【0046】各相関器28-1~28- n からの相関出力(I成分とQ成分)はそれぞれ電力計算部29-1~29- n に入力され、ここでその絶対値が算出され、該絶対値出力はそれぞれロングコード同期判定手段31に入力される。図4の(3)は、電力計算部29-1~29- n の出力の一例を示しており、この図には電力計算部29- k の出力に相関のピークがある例が記載されている。ロングコード同期判定手段31は、各入力が増えるピークを有するものであるか否かを判定し、その判定結果および閾値を超えたピーク値自体を前記拡散符号制御部33に出力する。これにより、拡散符号制御部33において、閾値を超えたピーク値が複数ある場合には最大の相関を得ることができたロングコードが決定され、この移動機が属するセルのロングコードを特定することができる。図示した例においては、long code # k が特定される。

【0047】このようにして、 n 個の相関器を用いて並列にロングコードの特定を行うことができるため、従来の場合と比べて非常に高速に処理することが可能となる。なお、システムにおいて使用されているロングコードの数 N が相関器28の個数 n よりも大きいときには、 n 個ずつ順次並列に相関処理を行うようにすればよい。

【0048】また、上述のように前記 n 個の相関器28-1~28- n を使用するだけではなく、さらに前記マッチドフィルタ22も使用して、このロングコードの特定処理を実行するようにしてもよい。この場合には、さらに高速にロングコードを特定することが可能となる。なお、マッチドフィルタ22を用いてロングコードの特定を行う場合には、当該ロングコードをショートコードの長さで分割し、各シンボル毎に順次相関検出を行うようにする。

【0049】(受信処理)以上により、初期セルサーチが終了し、前記ステップS12において特定したロングコードlong code # k を用いて通常の受信処理が行われることとなる。すなわち、ステップS13において、前記拡散符号制御部33は、前記拡散符号生成器21を前記特定したロングコードlong code # k と通信のために割り当てられたショートコードshort code # j とからなる拡散符号系列long code # k +short code # j を発生するように制御し、複素型マッチドフィルタ22において受信スペクトラム拡散信号との相関をとる。

【0050】理想的には、受信信号と拡散符号系列の相関出力には1つのピークだけが現われるはずであるが、実際には、送信側から送信された信号は、直接アンテナに到達するもの(直接波)以外にも建物や地面等により反射されて到達するもの(反射波)があり、多数の伝搬経路(マルチパス)を通った信号が受信アンテナ11に到達することとなる。これらの受信信号はそれぞれの伝

搬経路に応じた伝搬遅延時間をもって受信されることとなるため、複数の相関ピークが現われることとなる。このような複数の経路を伝搬してきた信号が受信される場合には、受信信号同士が干渉していわゆるマルチパスフェージングが発生することとなるため、この実施の形態においては、並列に設けた n 個の相関器（逆拡散部） $28-1 \sim 28-n$ において各パスの信号の逆拡散を行い、この各逆拡散部からの出力をRAKE合成することによりパスダイバーシティ受信を行なうようにしている。

【0051】前記複素型マッチドフィルタ22から出力される相関出力は、電力計算部23に入力され、ここでその相関出力の大きさが検出される。この電力計算の結果、所定値よりも大きい相関ピーク出力が検出されたときには、この受信機で受信すべきスペクトラム拡散変調信号が受信されたとしてパス検出部24に出力信号が出力される。パス検出部24は前記電力計算部23から出力される相関出力から受信波のパスおよび各パスの伝搬遅延時間に対応する位相オフセットを検出する。

【0052】前記パス検出部24からの出力は相関器制御部27に入力され、相関器制御部27は、相関器 $28-1 \sim 28-n$ のうちの前記検出されたパスの数と位相オフセットに対応する数の相関器に対してベースバンド信号 R_i および R_q と電源電圧を供給してその動作を開始させるとともに、該各相関器内にそれぞれ設けられている拡散符号生成器により生成される拡散符号系列の位相を対応するパスの位相オフセットに応じて制御する。また、前記拡散符号制御部33は前記相関器 $28-1 \sim 28-n$ のうちの前記検出されたパスの数と位相オフセットに対応する相関器内の拡散符号生成器に対してlong code # k +short code # j を発生するように制御する。これにより、各相関器 $28-1 \sim 28-n$ は、それぞれ対応するパスの受信信号を並列に逆拡散することとなる。

【0053】各相関器 $28-1 \sim 28-n$ からそれぞれ出力されるI成分およびQ成分の復調データはRAKE合成および復調部30に入力されるとともに、電力計算部29-1~29-nに印加される。電力計算部29-1~29-nにおいて各パスに対応する受信電力が計算され、前記電源制御部20に入力される。前記各相関器 $28-1 \sim 28-n$ からの各パスに対応する逆拡散後のデータはRAKE合成および復調部30において所定の係数を乗算されてRAKE合成され、シリアルデータに復調されて出力されることとなる。

【0054】なお、上記においては、複数の相関器 $28-1 \sim 28-n$ を用いて当該基地局からのトラフィックチャネルの信号の受信を行なっているが、前記マッチドフィルタ22も前記相関器 $28-1 \sim 28-n$ とともにこの信号の受信に使用することができる。このときは、前記マッチドフィルタ22の出力は前記RAKE合成お

よび復調部30に入力され、該出力に含まれているマルチパスの信号はそれぞれ所定の遅延を受けた後、所定の係数を乗算され、前記相関器 $28-1 \sim 28-n$ からの他のパスに対応する出力とともにRAKE合成される。

【0055】（周辺セルサーチ）通話状態にある移動機100が隣接する他のセルに移動する場合には、当該他のセルの基地局の通信チャネルに切り換えて通話を継続させること（ハンドオーバー）が必要となる。このためには、周辺にあるセルの基地局からの信号を受信し、最も信号強度の大きい基地局をサーチすることが必要となる。この周辺サーチについて、図3の（b）を参照して説明する。

【0056】まず、ステップS21において、前記複素型マッチドフィルタ22を使用して、各セル共通に制御チャネルとして使用されているshort code #0を用いて、受信信号との相関を検出する。これにより、前記電力計算部23から、図4の（2）に示す各基地局からの制御信号の強度に応じた相関出力が検出される。この出力により、前述の場合と同様に、ロングコードタイミング検出部25から、現在通信中の基地局を除いた最大の信号強度となる基地局のロングコードのタイミングを得ることができる。

【0057】次に、ステップS22において、前記、現在通信中の基地局を除いた最大の信号強度となった基地局を特定するために、ロングコードの特定を行なう。前述のように、相関器 $28-1 \sim 28-n$ はチャネルが接続されている基地局との通話に使用されているため、このステップS22の処理は、マッチドフィルタ22を用いて行なわれることとなる。すなわち、現在属しているセルに隣接するセルに関する情報は予め通話中の基地局から与えられているため、拡散符号発生部21において、候補となるセルのロングコードを順次発生させ、その相関出力が最大となるロングコードをロングコード同期判定部32において検出し、ハンドオーバー先のロングコードであると決定する。ここでは、このロングコードをlong code # m とする。なお、この処理は、並列に実行される前述した初期セルサーチの場合とは異なり、ロングコードを順次切り換えながら実行されるのであるが、前述したようにマッチドフィルタ22は相関出力を高速に出力することができるものであり、また、この周辺セルサーチにおいては、予め候補となるロングコードが分かっているため、高速にこの周辺セルサーチを実行することができる。

【0058】また、上述においては、前記マッチドフィルタ22を用いて当該ロングコードの同定を行なっているが、これとは逆に、前述した初期セルサーチ時と同様に、前記複数の相関器 $28-1 \sim 28-n$ を並列に用いてロングコードの同定を行ない、前記マッチドフィルタ22を用いて現在接続されている基地局からのトラフィック

チャネル信号の受信を行なうようにしてもよい。なお、このときには前記マッチドフィルタ 22 の出力が前記 RAKE 合成および復調部 30 に供給され、トラフィックチャネルの RAKE 受信が行なわれることとなる。

【0059】さらに、前述した通常受信時のパスの数が前記複数の相関器の数 n よりも少ない場合には、前記複数の相関器のうちの現在属しているセルとの通信に用いられていない相関器を周辺セルサーチに使用することができる。この場合には、前記マッチドフィルタ 22 とこれらの相関器との両者を用いて隣接したセルのロングコードの同定を行うことができる。

【0060】このようにしてハンドオーバー先の基地局がステップ S 22 において特定された後、図示しない制御局等の制御により、前記ステップ S 22 でハンドオーバー先と特定された基地局は通話チャネルを使用して、当該移動機に対して現在接続されている基地局と同一の通話信号を送出する。移動機は、ステップ S 23 において、このハンドオーバー先の基地局からの信号を前記マッチドフィルタ 22 を使用して受信する。すなわち、前記拡散符号発生部 21 において前記特定したハンドオーバー先のセルのロングコード long code # m と当該通信チャネルのショートコード short code # j を発生させて、当該基地局からの信号を受信する。すなわち、前から接続されていた基地局からの信号を前記相関器 28-1 ~ 28- n を用いて受信し、それと並行してハンドオーバー先の基地局からの信号を前記マッチドフィルタ 22 を用いて受信している。このとき、このマッチドフィルタ 22 の出力も、前記 RAKE 合成および復調部 30 に入力されているため、この RAKE 合成および復調部 30 において、前記複数の相関器 28-1 ~ 28- n からの出力と、前記マッチドフィルタ 22 からの出力とを RAKE 合成することができる。すなわち、同時に複数の基地局から受信した信号を RAKE 合成して受信することができる。なお、このとき、前記電力計算部 23 の出力に基づいて最大 n パス検出部 24 からこのハンドオーバー先セルの基地局からの信号のパスと対応する位相オフセットが検出される。

【0061】次に、ステップ S 24 に進み、前記相関器 28-1 ~ 28- n にハンドオーバー先の通信チャネルに対応する拡散符号 long code # m + short code # j をセットし、前記最大 n パス検出部 24 により検出されたパスに対応するタイミングで各相関器を動作させて、前記ステップ S 14 と同様に、通常の信号受信を行なう。このようにして、同時に複数の基地局から信号を受信してハンドオーバーを行なうことができる。

【0062】また、前述のように、ハンドオーバー先のロングコードの特定を、複数の相関器 28-1 ~ 28- n を用いて行う場合、あるいは、マッチドフィルタ 22 と現在接続されている基地局との信号の受信に用いられていない複数の相関器を用いて行う場合においても、同様

に、RAKE 合成を行うことができ、複数の基地局からの信号を受信するハンドオーバーを実現することができる。

【0063】（他の実施の形態）次に、消費電力が少なくされた本発明の他の実施の形態について説明する。この実施の形態は、消費電力の少ないマッチドフィルタを使用してより消費電力を軽減するようにしたものである。図 5 にこのマッチドフィルタの構成を示す。なお、この図に示すマッチドフィルタは前記複素型マッチドフィルタ 22 内に 2 つ設けられている同一構成のマッチドフィルタのうちの 1 つを示すものである。また、図を簡略にするために、図 5 においては、拡散符号系列が 6 ビットからなるものとし、6 段の遅延段を有するものとして記載してあるが、実際に使用される拡散符号系列は数 10 ビット～数 100 ビットの長さを有する符号系列が使用されるものであり、それに対応する数の段数を有するものとして必要である。

【0064】図 5 において、71-1 ~ 71-6 はいずれも受信信号 R_i または R_q をサンプルホールドするサンプルホールド回路、73-1 ~ 73-6 は各サンプルホールド回路 71-1 ~ 71-6 の出力と拡散符号とを乗算する乗算部、76 から 81 は各乗算部 73-1 ~ 73-6 の出力を加算する加算回路である。また、72 は前記サンプルホールド回路 71-1 ~ 71-6 におけるサンプリングタイミングを制御する制御部、74 は各乗算部 73-1 ~ 73-6 に基準電圧を入力するための基準電圧発生回路、75 は拡散符号系列を生成するための拡散符号生成器である。

【0065】図示するように、各サンプルホールド回路 71-1 ~ 71-6 は、制御部 72 からの制御信号により制御されるアナログスイッチ、キャパシタンス C_1 および反転増幅器 Amp とから構成されている。また、前記各加算器 76 ~ 81 は複数の入力端子に接続されたキャパシタンスと反転増幅器 Amp とから構成されている。このように、このマッチドフィルタにおいては、前記サンプルホールド回路および加算器において、入力側に接続されたキャパシタンスと反転増幅器とからなるアナログ演算回路（ニューロオペアンプ）を用いているものである。

【0066】図 6 の (a) に前記反転増幅器 Amp の構成を示す。この図において、82 は電源 V_{dd} と増幅器 Amp との間に直列に接続されたスイッチであり、このスイッチは前述した電源制御部 20 により制御されるものである。また、 V_i は入力端子、 V_o は出力端子であり、両端子の間には帰還用のキャパシタンス C_f が設けられている。92、93 および 94 はいずれも CMOS インバータ回路であり、この反転増幅器 Amp は CMOS インバータの出力がハイレベルからローレベルあるいはローレベルからハイレベルに移移する部分を利用して、インバータを増幅器として使用するものであり、奇

数段、例えば図示するように3段直列に接続されたCMOSインバータにより構成されている。なお、抵抗 R_1 および R_2 は増幅器のゲインを制御するために、また、キャパシタンス C_g は位相調整のためにそれぞれ設けられており、いずれも、この反転増幅器Ampの発振を防止するために設けられている。

【0067】ここで、この反転増幅器にキャパシタンスを介して入力電圧を印加するニューロオペアンプの動作について図7を参照して説明する。図7において、Ampは前述した反転増幅器であり、入力電圧 V_1 と V_2 がそれぞれキャパシタンス C_1 および C_2 を介して前記反転増幅器Ampに印加されている。前記反転増幅器Ampの電圧増幅率は非常に大きいためこの反転増幅器Amp

$$C_1(V_1 - V_b) + C_2(V_2 - V_b) + C_f(V_{out} - V_b) = 0 \dots (1)$$

ここで、各入力電圧 V_1 および V_2 をB点の電圧 V_b を基準とする電圧に置き換え、 $V(1) = V_1 - V_b$ 、 V

$$V'_{out} = -\{(C_1/C_f)V(1) + (C_2/C_f)V(2)\} \dots (2)$$

すなわち、ニューロオペアンプからは、大きさが各入力電圧 V_i に入力キャパシタンス C_i とフィードバックキャパシタンス C_f との比である係数 (C_i/C_f) を乗算した値の和で、極性が反転された出力電圧 V_{out} が出力されることとなる。

【0069】前記サンプルホールド回路71-1~71-6においては、前述した図7において入力端子が一つだけの場合に相当し、入力キャパシタンス C_1 の値とフィードバックキャパシタンス C_f の値とが等しくされているため、その出力電圧は前記(2)式より、 $-V(1)$ となる。すなわち、前記制御部72により入力スイッチが開放された時点における入力電圧 R_i (または R_q)の極性の反転した電圧 $-R_i$ (または $-R_q$)がサンプルホールド回路71-1~71-6から出力される。

【0070】前記制御部72は、各サンプルホールド回路71-1~71-6に対し順次制御信号を印加して、各サンプルホールド回路71-1~71-6に設けられているアナログスイッチを一旦閉成し、拡散変調信号の各チップに対応するタイミングで各サンプルホールド回路71-1~71-6のスイッチを順次開放して入力電圧を取り込むように制御する。これにより、各サンプルホールド回路71-1~71-6には拡散符号系列の1周期分の受信信号が取り込まれ、その極性の反転した受信信号が出力される。

【0071】前記各サンプルホールド回路71-1~71-6からの出力がそれぞれ入力される乗算部73-1~73-6は、同一の構成を有する2個のマルチプレクサ回路MUX1およびMUX2により構成されている。図6の(b)にこのマルチプレクサ回路MUXの構成を示す。この図において、95はCMOSインバータ、96および97はCMOSトランスマッションゲートである。また、 S_i は制御信号入力端子であり、具体的には

の入力側のB点における電圧はほぼ一定の値となり、このB点の電圧を V_b とする。このとき、図中のB点は、各キャパシタンス C_1 、 C_2 、 C_f およびCMOSインバータ92を構成するトランジスタのゲートに接続された点であり、いずれの電源からもフローティング状態にある点である。

【0068】したがって、初期状態において、各キャパシタンスに蓄積されている電荷が0であるとする、入力電圧 V_1 および V_2 が印加された後においても、このB点を基準としてみたときの各キャパシタンスに蓄積される電荷の総量は0となる。これにより、次の電荷保存式が成立する。

(2) = $V_2 - V_b$ 、 $V'_{out} = V_{out} - V_b$ とすると、前記(1)式より次の(2)式を導くことができる。

前記拡散符号生成器75から出力される拡散符号系列のうちこのマルチプレクサ回路MUXが含まれている乗算部73-iに対応するビットのデータが入力される。また、 In_1 および In_2 は第1および第2の入力端子、 Out は出力端子である。このような構成において、制御信号 S_i が「1」(ハイレベル)のときには、トランスマッションゲート96が導通、97が非導通となり、第1の入力端子 In_1 からの入力信号が出力端子 Out に出力される。一方、 S_i が「0」(ローレベル)のときには、トランスマッションゲート96が非導通、97が導通となり、第2の入力端子 In_2 からの入力信号が出力端子 Out に出力されることとなる。

【0072】前述したように各乗算部73-1~73-6には、上述したマルチプレクサ回路MUXがMUX1とMUX2の2つ設けられており、第1のマルチプレクサ回路MUX1の出力は該乗算部73-iのH出力、第2のマルチプレクサ回路MUX2の出力は乗算部73-iのL出力とされている。第1のマルチプレクサ回路MUX1の第1の入力端子 In_1 には対応するサンプルホールド回路71-iからの出力電圧 V_i 、第2の入力端子 In_2 には前記基準電圧発生回路74から入力される基準電圧 V_r が印加されている。一方、第2のマルチプレクサ回路MUX2の各入力端子 In_1 および In_2 には、前記第1のマルチプレクサ回路MUX1とは逆の関係の入力電圧が印加されている。すなわち、第1の入力端子 In_1 には基準電圧 V_r が、また、第2の入力端子 In_2 にはサンプルホールド回路71-iの出力電圧 V_i が印加されている。

【0073】したがって、制御端子に印加される拡散符号の対応するビット S_i の値が「1」のときは、MUX1からはその出力Hに対応するサンプルホールド回路71-iからの入力電圧を出力し、MUX2はその出力L

に基準電圧発生回路74からの基準電圧 V_r を出力し、一方、拡散符号の対応するビットが「0」のときは、MUX1はその出力Hに基準電圧発生回路74からの基準電圧 V_r を出力し、MUX2はその出力Lに対応するサンプルホールド回路71-iからの入力電圧を出力するようになされている。

【0074】図6の(c)に基準電圧発生回路(V_{ref})74の構成を示す。この図において、92、93および94は前記図6(a)に示した反転増幅器Ampにおけるものと同様のCMOSインバータ回路、R1およびR2はゲイン制御用抵抗、Cgは位相調整用キャパシタである。また、82は電源Vddと前記各CMOSインバータ92~94および抵抗R1との間に挿入されたスイッチであり、前記電源制御部20により導通制御されるものである。この回路は、その入出力電圧が等しくなる安定点に出力電圧が収束するものであり、各CMOSインバータ92~94の閾値の設定等により所望の基準電圧 V_r を生成することができる。ここでは、ダイナミックレンジを大きくできるように、基準電圧 $V_r = \text{電源電圧 } V_{dd} / 2 = V_b$ とされている。したがって、前記乗算部73-1~73-6のH出力またはL出力から基準電圧 V_r が出力されている場合には、前記(2)式における入力電圧 $V(i)$ は0となる。

【0075】前記乗算部73-1~73-3におけるMUX1からの出力(H出力)は加算器76に入力される。加算器76において、各乗算部73-1~73-3からの入力電圧にそれぞれ対応する入力キャパシタンスC2、C3およびC4の大きさは、フィードバックキャパシタンスCfの1/3の大きさとされているため、前述した(2)式より、各乗算部73-1~73-3からの出力電圧の和の1/3の大きさを有する電圧が出力される。なお、この出力電圧の極性は、このマッチドフィルタの入力電圧 $R_i(R_q)$ と同一の極性である。

【0076】また、加算器78には乗算部73-4~73-6のH出力が入力されており、前記の場合と同様にして、それらの和の大きさを有する電圧が出力される。なお、この電圧の極性は $R_i(R_q)$ と同一のものとなる。この加算器76と加算器78の出力は加算器80に入力される。この加算器80における入力キャパシタンスC5およびC6の値はともにフィードバックキャパシタンスCfの値の1/2とされており、該加算器80からは前記加算器76の出力の1/2の大きさの電圧と前記加算器78の出力の1/2の大きさの電圧の和の電圧が出力される。この電圧は $R_i(R_q)$ と逆の極性を有している。

【0077】一方、前記乗算部73-1~73-3におけるMUX2の出力(L出力)は加算器77に入力され、前述の場合と同様にして、これらの和の大きさを有する電圧が出力される。また、前記乗算部73-4~73-6のL出力は加算器79に入力され、それらの和の

大きさを有し、 $R_i(R_q)$ と同一の極性を有する電圧が出力される。

【0078】前記加算器80、77および79の出力は加算器81に入力される。この加算器81における前記加算器80からの入力に対応する入力キャパシタンスC7の大きさはフィードバックキャパシタンスCfの大きさと等しくされており、また、前記加算器77および79からの入力に対応する入力キャパシタンスC8およびC9の大きさはCf/2とされているため、該加算器81からは、前記加算器80の出力電圧と前記加算器77の出力電圧の1/2の電圧と前記加算器79の出力電圧の1/2の電圧との和の電圧との差に対応する電圧が出力されることとなる。したがって、この加算器81からは、拡散符号生成器75から出力される拡散符号系列における「1」が供給されるサンプルホールド回路71-1~71-6の出力の和と、拡散符号系列における「0」が供給される出力の和との差の電圧、すなわち拡散符号系列との相関値が出力されることとなる。

【0079】なお、前記加算器80において入力電圧の和の1/2の電圧が出力されるようにし、前記加算器81において加算器77および79からの出力電圧の1/2の電圧が加算されるようにしているのは、最大電圧が電源電圧を超えることがないようにするためである。

【0080】このようにして加算器81から相関値が出力された後、このマッチドフィルタにおいては、拡散符号生成器75から出力される拡散符号系列を1チップシフトさせて、前述と同様の演算処理を行い次の相関値を得るようにしている。これにより、サンプルホールドされた信号のシフト処理を行う必要がなくなるため、それによる誤差の発生を防止することができる。このようにして、拡散符号系列のシフトを順次行うことにより、前述した同期捕捉を行うことができる。

【0081】このマッチドフィルタによれば、前記ニューロオペアンプによる演算処理は容量結合によるアナログ処理により実行されるため、回路規模はデジタル処理の場合に比べて大幅に減縮することができ、また、並列演算であるために高速に処理を実行することができる。さらに、各回路における入出力は全て電圧信号であるため、非常に低消費電力のものとすることができる。

【0082】なお、上述した実施の形態においてはQPSK変調された信号の場合を例にとって説明したが、これに限られることはなく、BPSKなど他の変調方式を採用した場合にも本発明を適用することができることは明らかである。

【0083】

【発明の効果】以上説明したように、本発明の初期同期方法によれば、初期セルサーチ時に、マッチドフィルタを用いてロングコードのタイミングを検出し、複数個並列に設けられた相関器により該検出したロングコードタイミングでロングコードの特定を行なっているため、高

速に初期セルサーチを行なうことができる。また、周辺セルサーチ時に、マッチドフィルタを用いてハンドオーバー先のロングコードのタイミング検出とロングコードの特定を行ない、相関器により現在接続中の基地局からの信号を受信し、同時にマッチドフィルタによりハンドオーバー先の基地局からの信号を受信することができるため、ハンドオーバーを実現することができる。

【0084】さらにまた、相関器手段を複数個設けてRAKE受信を行なっているために、マルチパスフェージングのある環境においても、良好な受信品質を保つことができる。さらにまた、初期セルサーチ時、ハンドオーバー時、および通話時（マルチパス受信時）において、マッチドフィルタおよび複数の相関器を共用することができる、高効率化および小型化を実現することができる。さらにまた、ニューロオペアンプを使用したマッチドフィルタを使用することにより、低消費電力の受信機を提供することが可能となる。

【図面の簡単な説明】

【図1】 本発明の初期同期方法が適用される受信機の一実施の形態の構成を示すブロック図である。

【図2】 図1の受信機における相関器の一実施の形態の構成を示すブロック図である。

【図3】 本発明の方法によるセルサーチ動作を説明するためのフローチャートである。

【図4】 本発明の方法によるセルサーチ動作を説明するためのタイミング図である。

【図5】 本発明の他の実施の形態におけるマッチドフィルタの構成例を示すブロック図である。

【図6】 図5のマッチドフィルタにおける各部の構成を示す回路図である。

【図7】 図5のマッチドフィルタにおける加算部の動作を説明するための図である。

【図8】 基地局間非同期セルラシステムのセル構成例を示す図である。

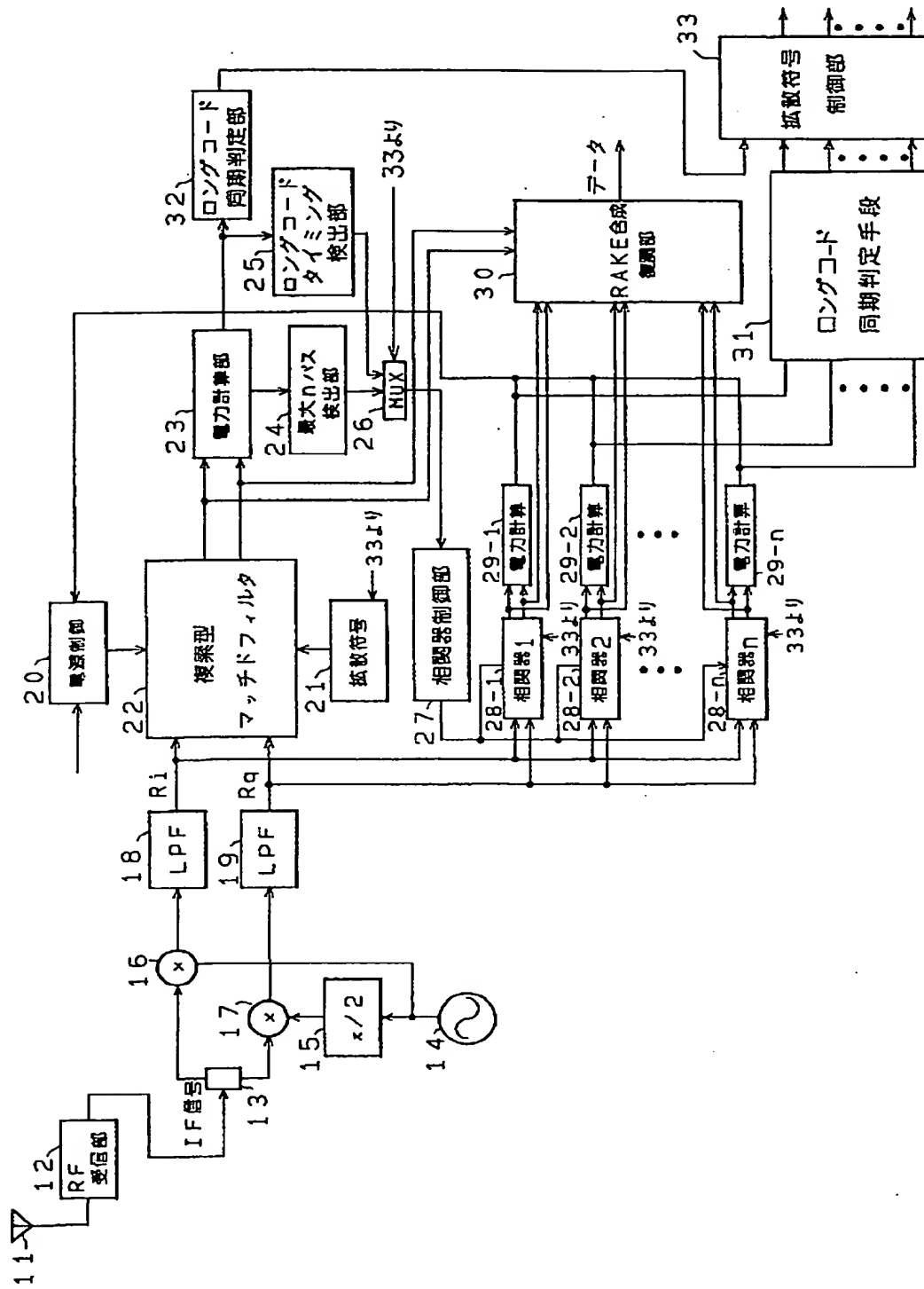
【図9】 従来のDS-SS-CDMA基地局間非同期セルラシステムにおけるセルサーチ動作を説明するためのタイミング図である。

【符号の説明】

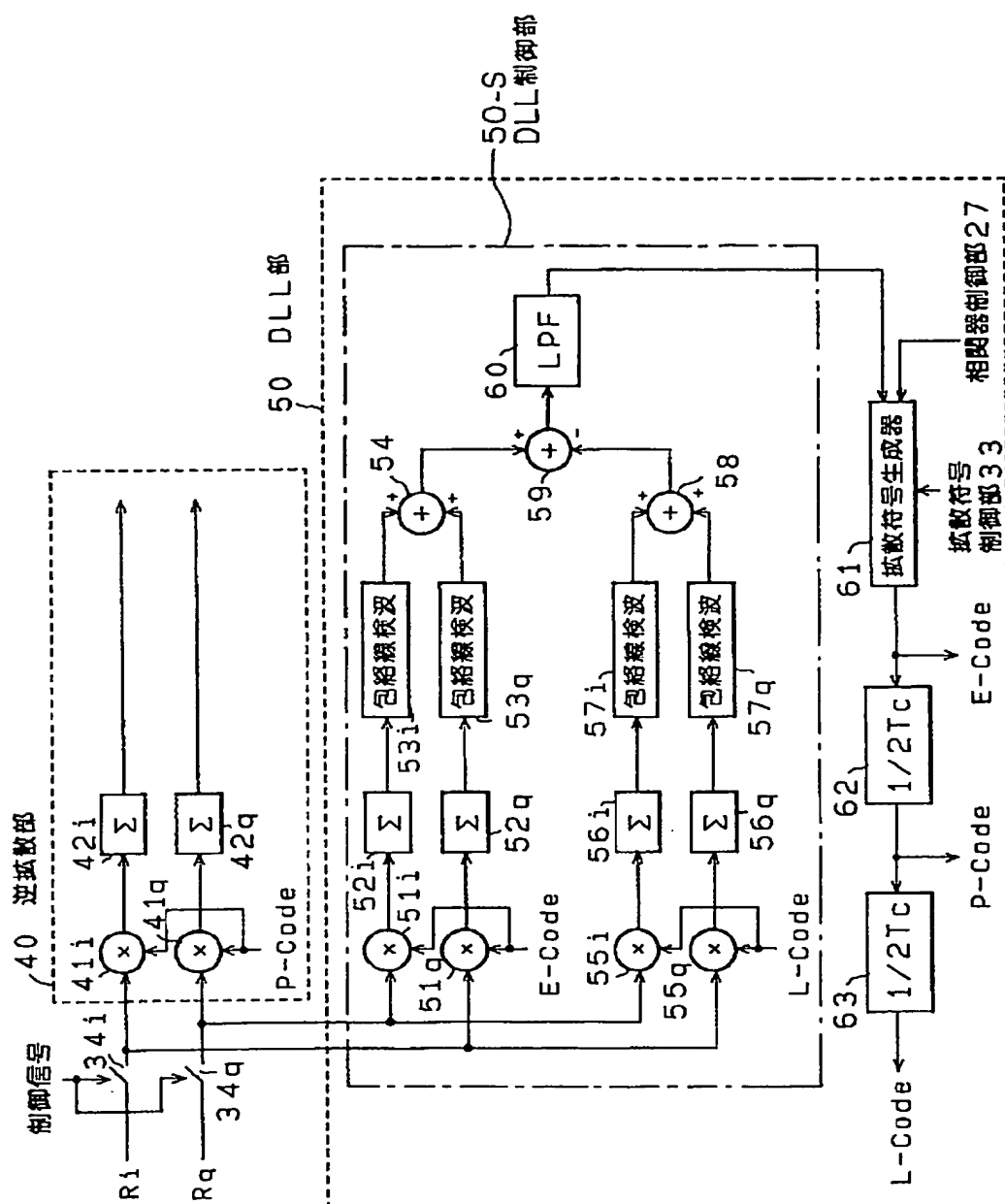
11 受信アンテナ

12 高周波受信部
13 分配回路
14、107 発振器
15、108 位相シフト回路
16、17、41i、41q、51i、51q、55i、55q 乗算器
18、19、60 ローパスフィルタ
20 電源制御部
21、61、75 拡散符号生成器
22 複素型マッチドフィルタ
23、29-1~29-n 電力計算部
24 バス検出部
25 ロングコードタイミング検出部
26 選択回路
27 相関器制御部
28-1~28-n 相関器
29-1~29-n 電力計算部
30 RAKE合成および復調部
31-1~31-n ロングコード同期判定手段
32 ロングコード同期判定部
33 拡散符号制御部
34i、34q、82 スイッチ
40 逆拡散部
42i、42q、52i、52q、56i、56q 累算器
50 DLL部
50-S DLL制御部
53i、53q、57i、57q 包絡線検波回路
54、58、59、62、63、64、76~81 加算器
62、63 $1/2 T_c$ 遅延回路
71-1~71-n サンプルホールド回路
72 制御部
73-1~73-6 乗算部
74 基準電圧発生回路
92~95 CMOSインバータ
96、97 トランスマッションゲート
100 移動機

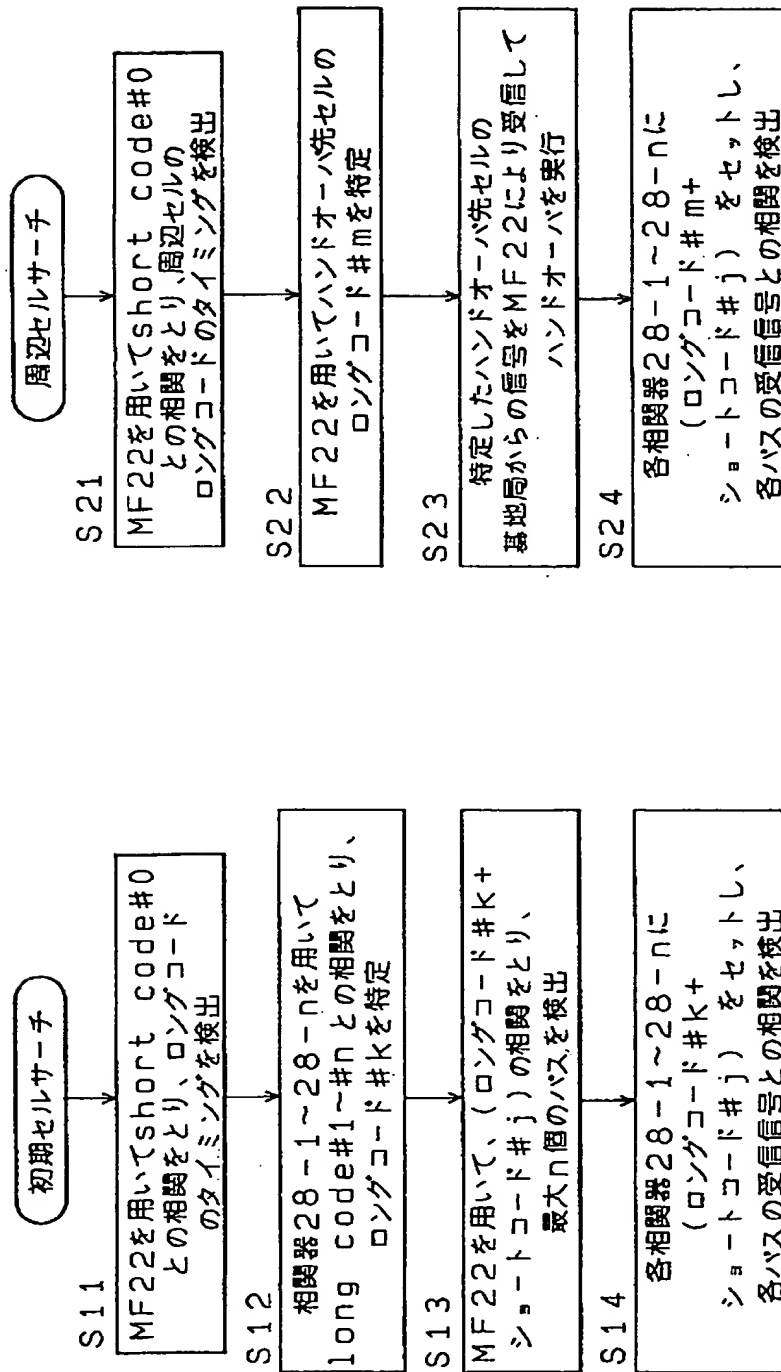
【図1】



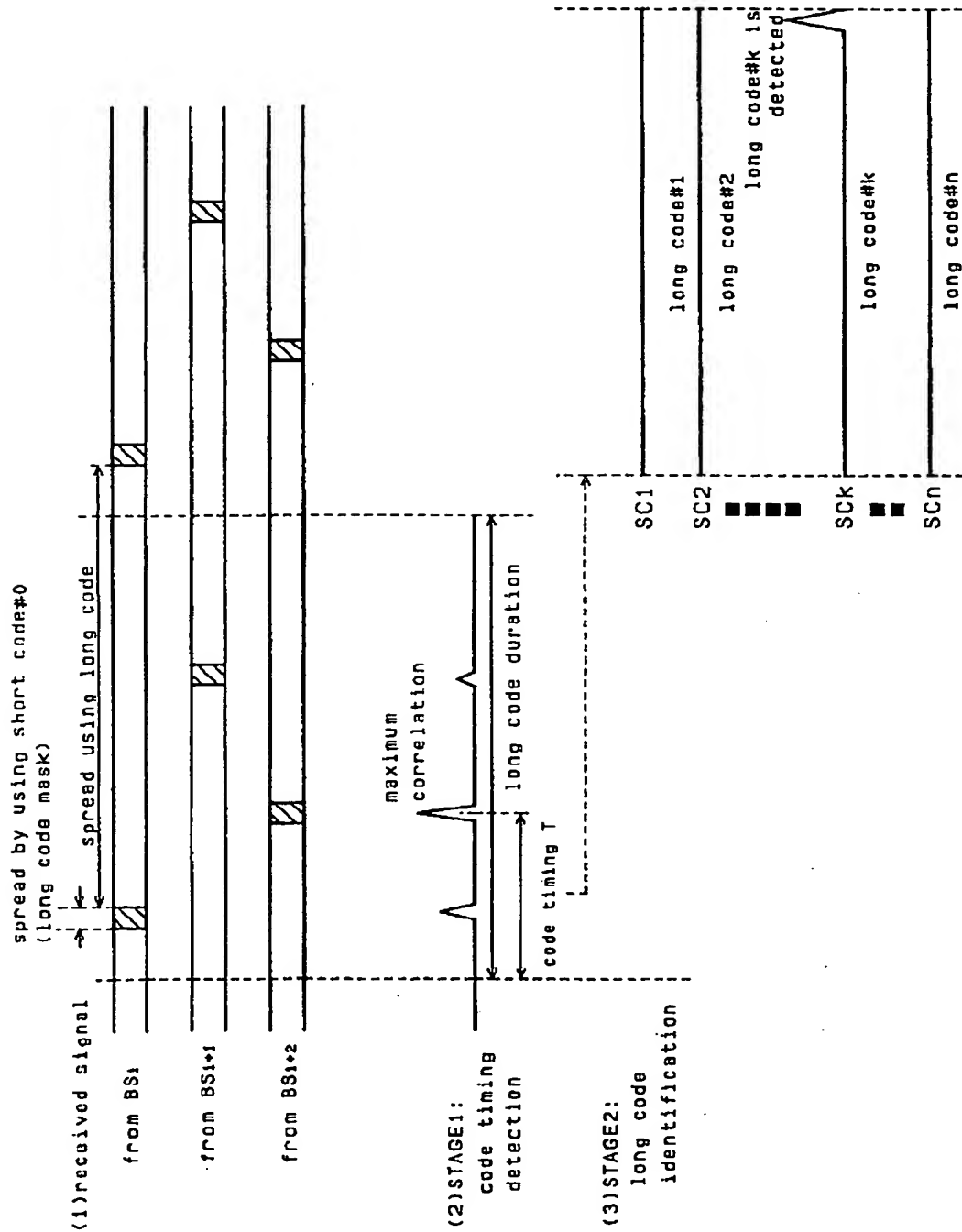
50-S
DLL制御部



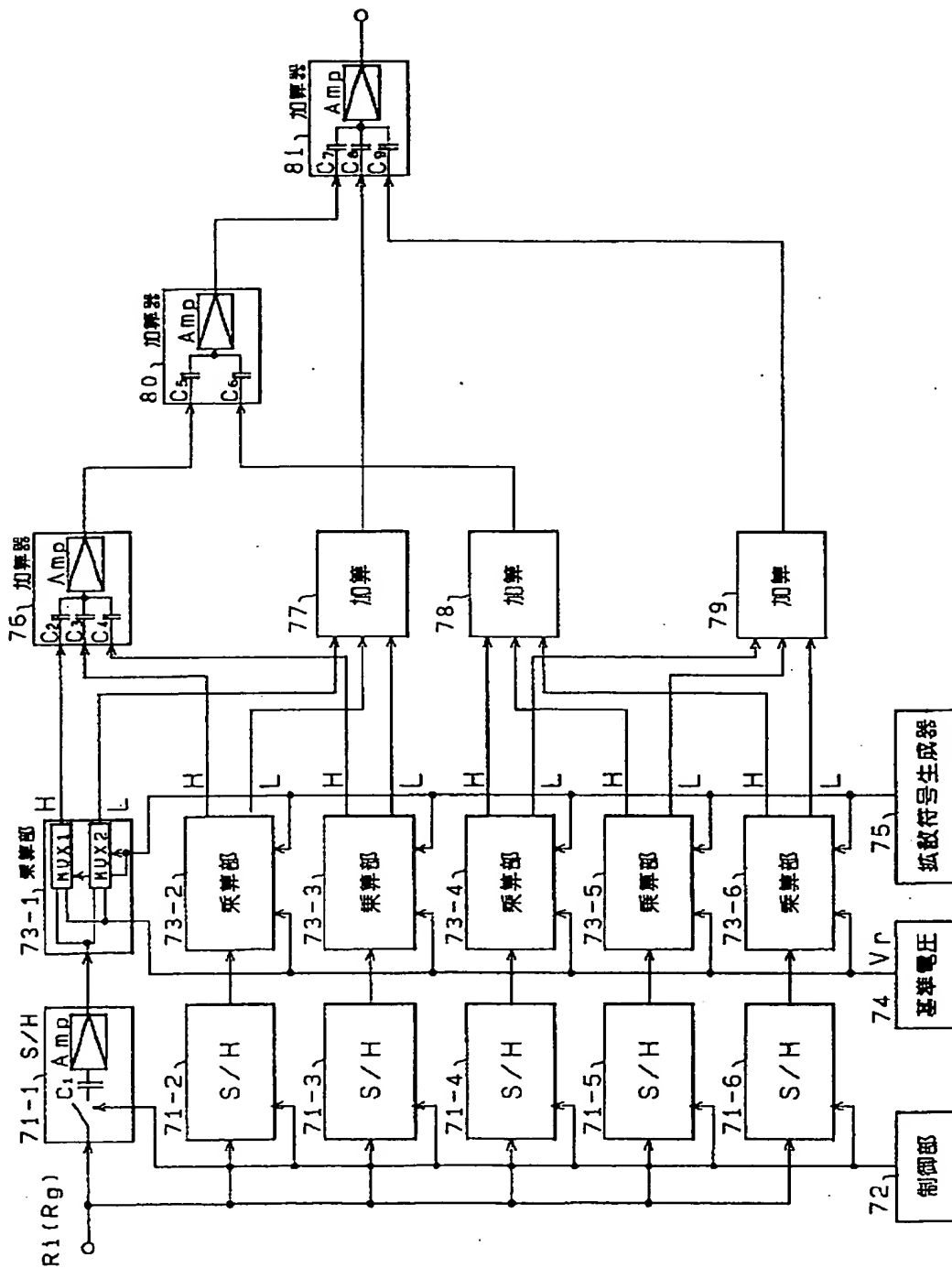
【図3】



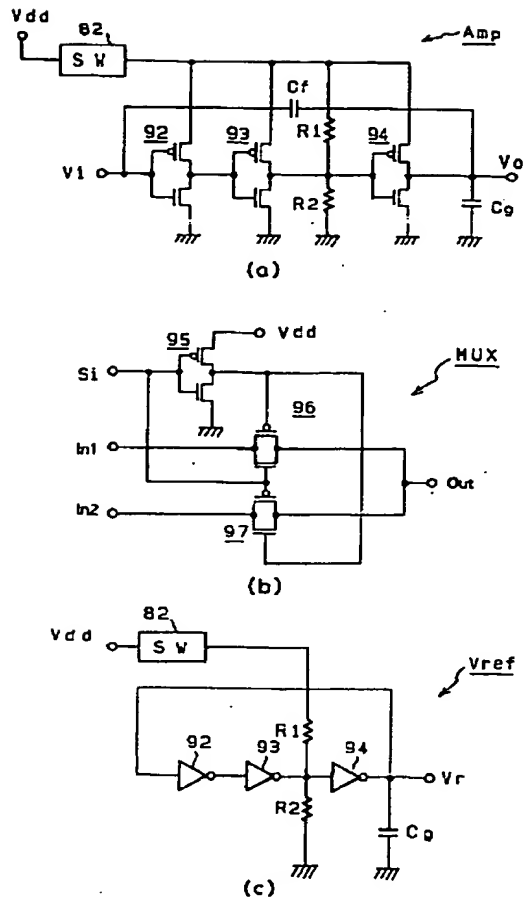
【図4】



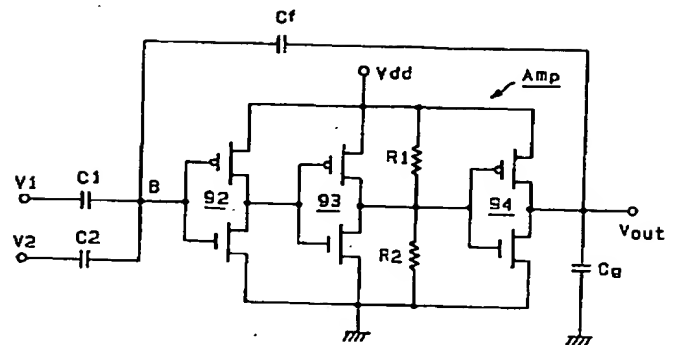
【図5】



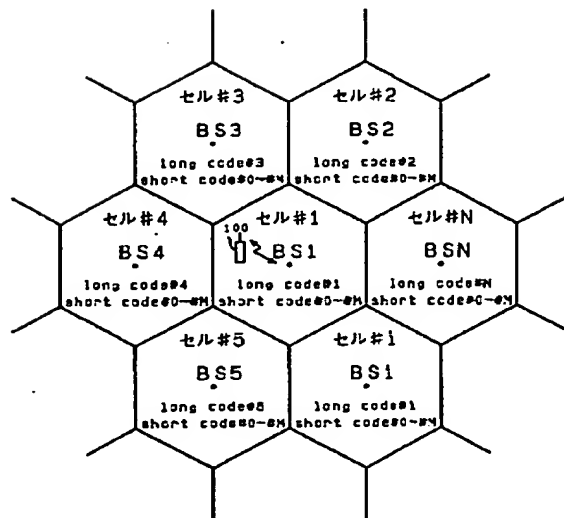
【図6】



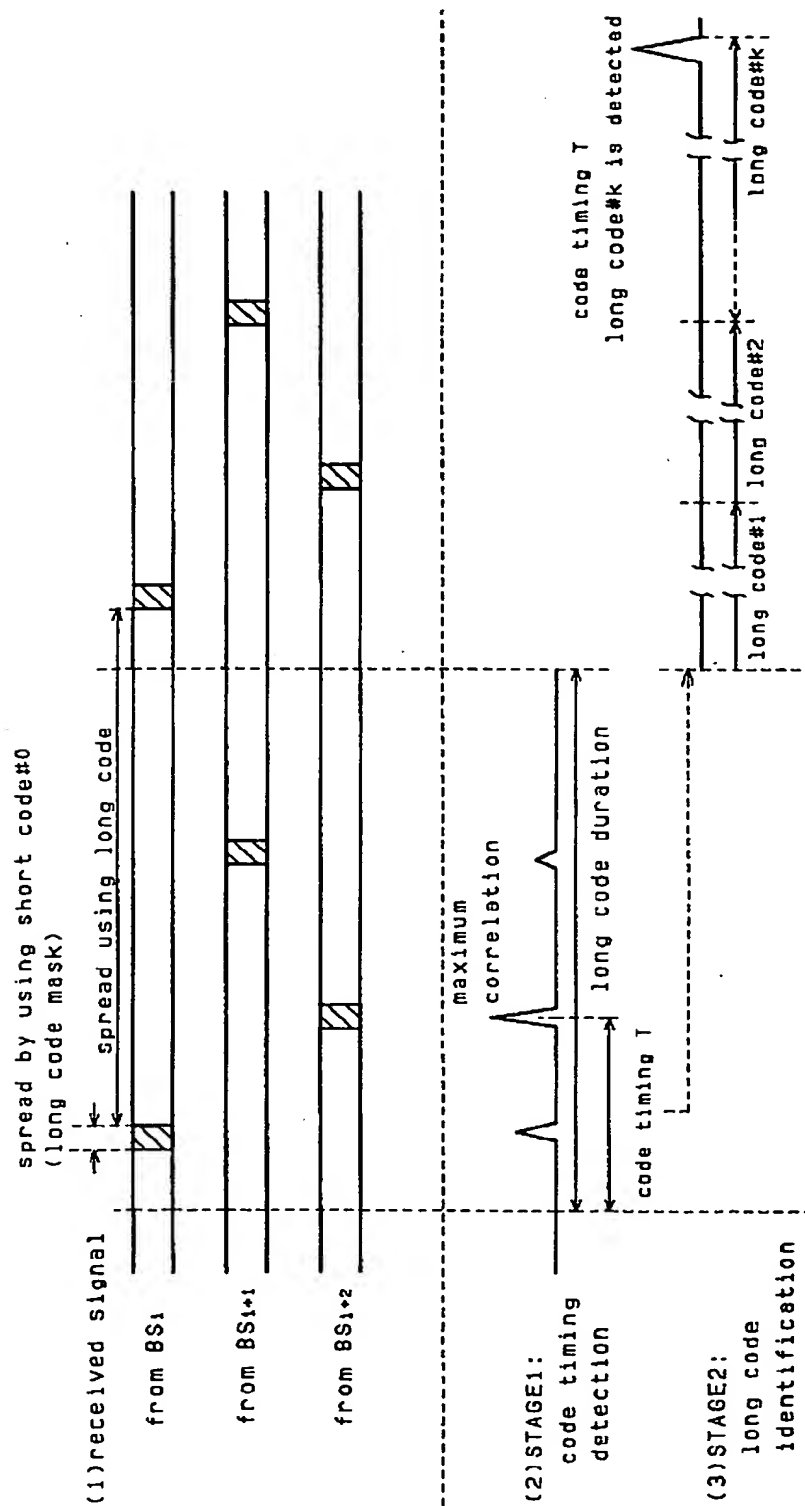
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 周 旭平
東京都世田谷区北沢 3-5-18 鷹山ビル
株式会社鷹山内
(72)発明者 山本 誠
東京都世田谷区北沢 3-5-18 鷹山ビル
株式会社鷹山内

(72)発明者 高取 直
東京都世田谷区北沢 3-5-18 鷹山ビル
株式会社鷹山内
(72)発明者 佐和橋 衛
東京都港区虎ノ門二丁目10番1号 エヌ・
ティ・ティ移動通信網株式会社内
(72)発明者 安達 文幸
東京都港区虎ノ門二丁目10番1号 エヌ・
ティ・ティ移動通信網株式会社内